

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
17. März 2005 (17.03.2005)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 2005/024972 A2**

(51) Internationale Patentklassifikation<sup>7</sup>: **H01L 51/40**

(21) Internationales Aktenzeichen: PCT/EP2004/009729

(22) Internationales Anmeldedatum:  
1. September 2004 (01.09.2004)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:  
103 40 926.2 3. September 2003 (03.09.2003) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme  
von US): **TECHNISCHE UNIVERSITÄT ILMENAU**  
[DE/DE]; Postfach 100 565, 98684 Ilmenau (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **DOLL, Theodor**  
[DE/DE]; Weinbergstrasse 36, 55268 Niederolm (DE).  
**SCHEINERT, Susanne** [DE/DE]; Bergstrasse 30 A,  
98683 Unterpörlitz (DE). **SCHERER, Axel** [DE/US]; La-  
guna Beach, CA 92651 (US). **PAASCH, Gernot** [DE/DE];  
Am Bonnewitzer Rundweg 1, 01796 Pirna (DE).

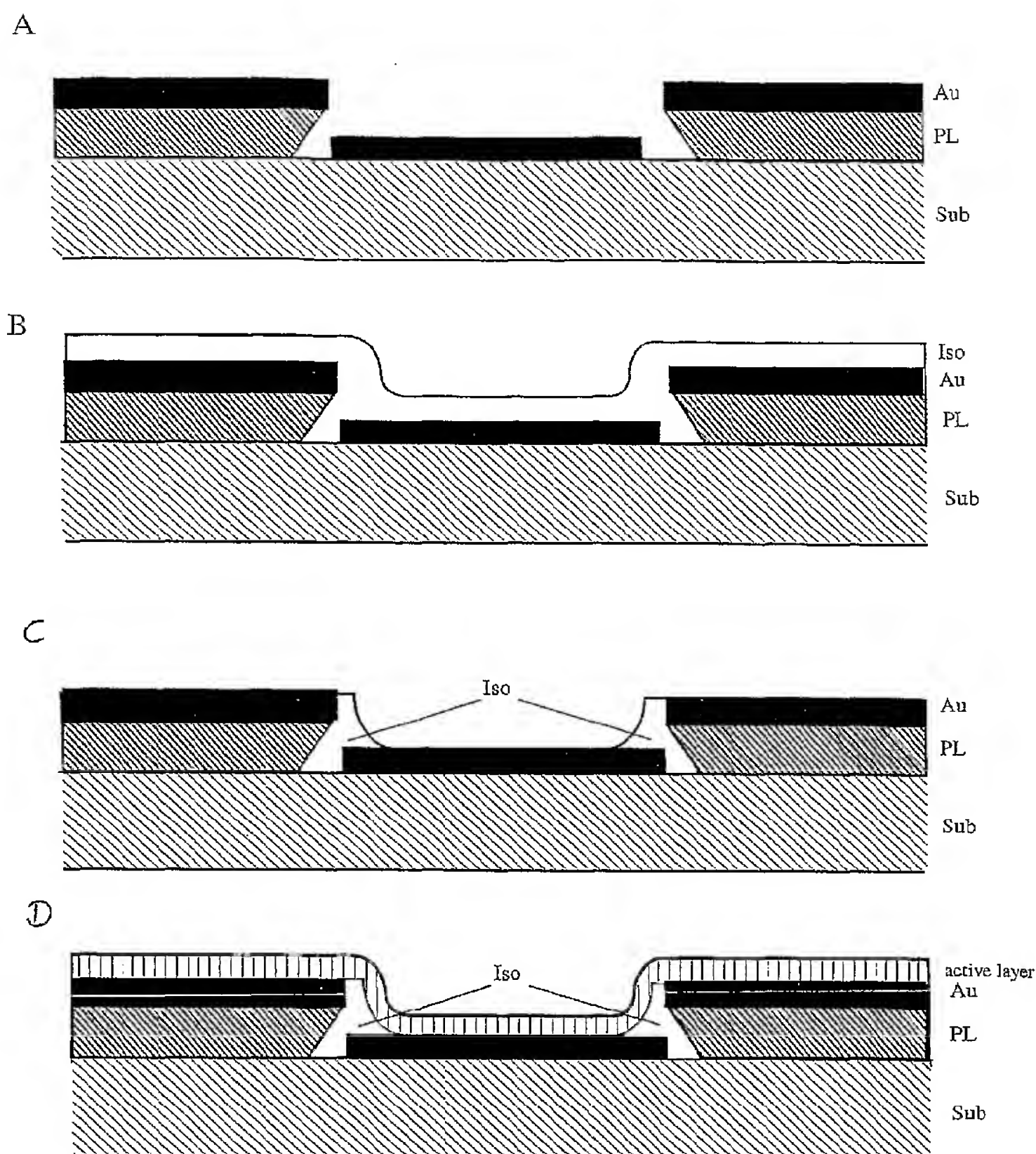
(74) Anwalt: **ENGEL, Christoph, K.**; Engel & Weihrauch,  
Patent- und Rechtsanwälte, Marktplatz 6, 98527 Suhl (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für  
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,  
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,  
CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES,

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR PRODUCING ELECTRONIC COMPONENTS

(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG VON ELEKTRONISCHEN BAUELEMENTEN



(57) Abstract: The invention relates to a method for producing electronic components comprising adjacent electrodes, interspaced at distances ranging between 10 nanometres and several micrometres on a substrate of any type. According to the invention, the electrodes are structured by means of overlapping edges on the deposited layer or by undercutting the deposited layers. The electronic components are then produced either in the conventional manner or using a lithographic process from the underside of the transparent substrate and finally by means of a succession of known method steps for the production of electronic components.

(57) Zusammenfassung: Die Erfindung betrifft Verfahren zur Herstellung von elektronischen Bauelementen mit dicht aneinander grenzenden Elektroden mit Abständen im Bereich von einigen 10 Nanometern bis einigen Mikrometern auf einen beliebigen Substrat. Erfindungsgemäss erfolgt die Strukturierung von Elektroden entweder mittels überschneidender Kanten am abgeschiedenen Layer oder mittels Unterätzung des abgeschiedenen Layers. Die Fertigstellung der elektronischen Bauelemente erfolgt danach entweder auf herkömmliche Weise oder mittels eines Lithographieverfahrens von der Unterseite des lichtdurchlässigen Substrates und abschliessender Abfolge ans sich bekannter

Verfahrensschritte zur Herstellung elektronischer Bauelemente.



FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT,

RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Erklärung gemäß Regel 4.17:**

— *Erfindererklärung (Regel 4.17 Ziffer iv) nur für US*

**Veröffentlicht:**

— *ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts*

*Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.*

**Verfahren zur Herstellung von elektronischen Bauelementen**

5 Die Erfindung betrifft mehrere Verfahren zur Herstellung von elektronischen Bauelementen mit dicht aneinander grenzenden Elektroden mit Abständen im Bereich von einigen 10 nm bis einigen  $\mu\text{m}$  auf einem beliebigen Substrat, das außer Substraten der Standard-Halbleitertechnologie (z.B. Si,  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$ ,  
10 GaAs,  $\text{Al}_2\text{O}_3$ ) auch ein Polymerfilm oder Glas sein kann.

Die erfindungsgemäßen Verfahren finden für eine äußerst preisgünstige und einfache Herstellung von elektronischen Bauelementen, welche kleinste Elektrodenabstände benötigen,  
15 wie z. B. Molekularelektronik, Polymer-Feldeffekttransistoren oder Feldemitter, ihre Anwendung.

Im Stand der Technik sind verschiedene Lithographieverfahren (DUV oder Elektronenstrahlolithographie) beschrieben, mit  
20 denen eine möglichst kleine Länge des elektrisch aktiven Kanals im Transistor (Kanallänge) und damit eine hohe Betriebsfrequenz erreicht werden kann. Allerdings sind diese hochauflösenden Lithographieverfahren sehr kostenintensiv und deshalb für die Anwendungsfelder der low-performance- und  
25 low-cost-electronics ungeeignet.

Daneben ist eine Methode nach Friend, veröffentlicht in SCIENCE 299, 1881 (2003), bekannt, bei der zur Darstellung eines kurzen Kanals in Polymertransistoren eine vertikale  
30 Anordnung von zwei lateralen, durch eine isolierende Polymer-schicht getrennte Metallisierungsschichten Anwendung findet. Mit einer Schneide wird in diesen Sandwich hineingedrückt, so dass an den Seitenwänden Elektrodenanschlüsse  $M_{e1}$  und  $M_{e2}$  nahe

beieinander frei liegen. Über diese V-Nut hinweg wird dann der Polymerhalbleiter aufgetragen („active layer“) und weiter zum Transistor vervollständigt.

5    Nachteilig wirkt sich hierbei allerdings aus, dass sich das Material beim Eindrücken des Schneide-Stempels verformt und die gegenüberliegenden Seitenwände des Kanals sehr eng zueinander positioniert sind. Die anschließend aufgeschleuderte aktive Schicht kann sich aufgrund der Meniskenbildung nicht  
10    gleichmäßig verteilen.

Aus der DE 198 19 200 A1 ist ein Verfahren zur Herstellung von Kontaktstrukturen in Halbleiterbauelementen bekannt, bei welchem unter Verwendung einer Maske eine Vertiefung im  
15    Substrat ausgebildet wird. Daraufhin können durch Abscheidung eines leitenden Materials und Erzeugen von Flanken an der Vertiefung zwei voneinander getrennte Elektrodenstrukturen erzeugt werden.

20    Aufgabe der Erfindung ist es deshalb, ein oder mehrere Verfahren zu entwickeln, mit denen dicht aneinander grenzende Elektroden auf einem Substrat auf eine einfache und kostengünstige Weise strukturiert werden und somit die Herstellung  
25    von elektronischen Bauelementen mit möglichst geringem technologischem Aufwand erfolgen kann.

Erfindungsgemäß gelingt die Lösung dieser Aufgabe mit den Merkmalen der Patentansprüche 1, 2, 3 und 4.

30    Prinzipiell erfolgt die Strukturierung der Elektroden entweder mittels überschneidender Kanten am abgeschiedenen Layer oder mittels Unterätzung des abgeschiedenen Layers. Die

Fertigstellung der elektronischen Bauelemente erfolgt danach entweder auf herkömmliche Weise oder mittels eines Lithographieverfahrens von der Unterseite des lichtdurchlässigen Substrates und abschließender Abfolge ans sich bekannter  
5 Verfahrensschritte zur Herstellung elektronischer Bauelemente.

Die Erfindung wird am Beispiel der Herstellung eines Feldeffekttransistors mit folgenden Zeichnungen näher erläutert. In  
10 den zugehörigen Zeichnungen zeigen:

- Figur 1 - Strukturierung der Elektroden mittels Überschneidungen im abgeschiedenen Layer;
- Figur 2 - Strukturierung der Elektroden mittels  
15 Unterätzung eines abgeschiedenen Layers;
- Figur 3 - Herstellung eines Transistors mit bekannten Verfahren;
- Figur 4 - Herstellungsverfahren für einen Feldeffekt-  
20 Transistor mittels Photolithographie von der Unterseite des Substrates;
- Figur 5 - Herstellung eines Feldeffekttransistors mittels Ätzung in die Substrattiefe.

25 In Fig. 1 sind die Schritte eines vertikalen Herstellungsverfahrens dargestellt. Auf einem Substrat wurde ein Photolack aufgebracht und so strukturiert, dass überschneidende Kanten am Photolack entstehen. Anschließend wird ein Metall, vorzugsweise Chrom oder Gold, aufgedampft. Der im folgenden  
30 Verfahrensschritt aufgeschleuderte Isolator bedeckt die gesamte Oberfläche. An den sich überschneidenden Kanten des Photolackes bilden sich aufgrund der Meniskenbildung während des nachfolgenden Ätzprozesses flache Kanten in Umkehrung der

Überschneidungen. Das so entstandene Substrat mit seinen aufgebracht und voneinander isolierten Elektroden kann nun in weiteren Verfahrensschritten wie Aufschleudern des organischen Halbleiters („active layer“), Aufbringen eines weiteren Isolators und einer Gatemetallisierung und Freilegen der Elektroden zu einem polymeren Feldeffekttransistor fertiggestellt werden.

In Fig. 2 ist ein zweites Verfahren zur Strukturierung dicht aneinander grenzender Elektroden auf einem Substrat aufgezeigt. Hierbei ist auf dem Substrat eine Metallschicht, vorzugsweise Chrom oder Gold, aufgedampft. Auf diese Metallschicht wird ein Photolack aufgebracht und entsprechend den herzustellenden Bauelementen strukturiert. Im anschließenden Verfahrensschritt erfolgt die Ätzung des Metalls an den vom Photolack unbedeckten Stellen, wobei das Metall an den Photolackkanten kontrolliert überätzt wird.

Dadurch entstehen jeweils an den Photolackstrukturen Überhänge. Nachfolgend wird die so erhaltene Struktur noch einmal mit Metall bedampft. Durch die Unterätzung werden die Elektroden voneinander separiert. Nachdem der Photolack mit der daraufliegenden Metallschicht entfernt ist (Lift Off), kann das gewünschte elektronische Bauelement (Feldeffekttransistor) mit den bekannten Verfahrensschritten durch Aufschleudern eines organischen Halbleiters („active layer“) und eines Isolators oder Abscheiden einer Gatemetallisierung und Freilegen der Anschlüsse fertiggestellt werden (Fig. 3). Sofern die tieferliegende Elektrode z.B. das Gate eines Transistors bilden soll, wird sie zweckmäßigerweise mit einem Isolator so überzogen, dass dadurch auch die Vertiefung geschlossen wird.

In Fig. 2 und 4 ist ein Herstellungsverfahren für ein elektronisches Bauelement mit dicht aneinander grenzenden Elektroden auf einem Substrat am Beispiel der Herstellung eines Feldeffekttransistors dargestellt. Die Strukturierung dieser dicht aneinander grenzenden Elektroden erfolgt wie im vorher beschriebenen Verfahren (Verfahren 2) bis zum Aufschleudern des Isolators. Auf diesen Isolator wird anschließend ein Photolack aufgebracht und von der Unterseite des Substrates photolithographiert. Unabdingbare Voraussetzung für diesen Schritt ist allerdings, dass das Substrat, die aktive Schicht und der Isolator lichtdurchlässig sind. Nach diesem photolithographischen Prozess erfolgt eine nochmalige Bedampfung der Oberfläche mit Metall. Im letzten Verfahrensschritt wird der verbliebene Photolack mit der daraufliegenden Metallschicht entfernt (z.B. durch einen Lift-Off-Prozess).

Um diesen Lift-Off-Prozess im Submikrometerbereich zu vermeiden, kann die Metallschicht alternativ dazu auch durch Auftragen einer entsprechenden Maske und Ätzen mit einer Breite größer als die Kanallänge strukturiert werden. Die über den eng beieinander liegenden Elektroden befindlichen Gateabschnitte werden durch den darunter verbleibenden Photolack so weit von den Elektroden separiert, dass die entstehenden parasitären Gatekapazitäten wie bei einem Feldoxid klein bleiben (Abbildung E-4-d' in Fig. 4).

Ein weiteres Verfahren zur Herstellung von elektronischen Bauelementen mit dicht aneinander grenzenden Elektroden auf einem Substrat ist in Fig. 2 und 5 am Beispiel der Herstellung eines Feldeffekttransistors dargestellt. Die Strukturierung dieser dicht aneinander grenzenden Elektroden erfolgt wie im oben beschriebenen Verfahren (Verfahren 2). An den Stellen des Substrates, an denen keine Metallschicht vorhan-

den ist, werden Löcher oder Gräben in das Substrat für ein oder mehrere vergrabene Gates geätzt. Im nächsten Verfahrensschritt wird eine zweite Metallschicht auf die gesamte Oberfläche aufgedampft. Dabei werden in den Löchern oder Gräben dünne Gatemetallisierungen abgeschieden. Auf die erhaltene Oberfläche wird nachfolgend ein Isolator aufgebracht. Die Löcher oder Gräben füllen sich teilweise mit dem Isolator. An der Substratoberseite und wegen des engen Aspektverhältnisses in den Gatelöchern oder -gräben nur zum Teil wird die Isolatorschicht weggeätzt (z.B. mit einem Plasmaprozess). Anschließend wird der organische Halbleiter („active layer“) aufgeschleudert. Nach der Versiegelung der Oberfläche des Substrates müssen die Kontakte der vergrabenen Gates an vorbestimmte Stellen mit Hilfe eines photolithographischen Prozesses freigelegt werden.

Die erfindungsgemäßen Verfahren ermöglichen die Herstellung von elektronischen Bauteilen mit dicht aneinandergrenzenden Elektroden, wobei die Strukturierung der Elektroden mit Hilfe eines Ein-Maskenprozesses realisiert wird. Dabei können klassische Mikrostrukturierungstechniken eingesetzt werden. Durch die Anwendung dieser Verfahren können elektronische Bauelemente sehr einfach und kostengünstig hergestellt werden. Die mit Hilfe der erfindungsgemäßen Verfahren hergestellten elektronischen Bauelemente sind besser und einfacher zu reproduzieren.

Diese Verfahren können vorteilhaft in der Molekularelektronik, zur Herstellung von Polymer-Feldeffekttransistoren, von Feldemittern oder anderen elektronischen Bauelementen eingesetzt werden.

**Patentansprüche**

1. Verfahren zur Herstellung von elektronischen Bauelementen mit dicht aneinander grenzenden Elektroden auf einem Substrat dadurch gekennzeichnet, dass die Strukturierung der Elektroden mit folgenden Schritten realisiert wird:
- 5 a) auf dem Substrat wird ein Photolack mit überschneidenden Kanten strukturiert,
- b) auf das Substrat und den strukturierten Photolack wird ein Metall aufgedampft,
- 10 c) auf die entstandene Oberfläche wird ein Isolator aufgeschleudert und
- d) der Isolator wird geätzt, wobei an den überschneidenden Kanten des Photolackes flache Kanten als Umkehrung zu diesen Überschneidungen entstehen.
- 15
2. Verfahren zur Herstellung von elektronischen Bauelementen mit dicht aneinander grenzenden Elektroden auf einem Substrat dadurch gekennzeichnet, dass die Strukturierung der Elektroden mit folgenden Schritten realisiert wird:
- 20 a) auf dem Substrat wird eine Metallschicht aufgebracht,
- b) auf dieser Metallschicht wird ein Photolack strukturiert,
- c) die freiliegende Metallschicht wird geätzt, wobei
- 25 mittels kontrolliertem Unterätzen des Metalls an den Photolackstrukturen Überhänge des Photolackes entstehen,
- d) die so entstandene Oberfläche wird mit Metall bedampft, und
- 30 e) der Photolack mit der daraufliegenden Metallschicht wird entfernt.

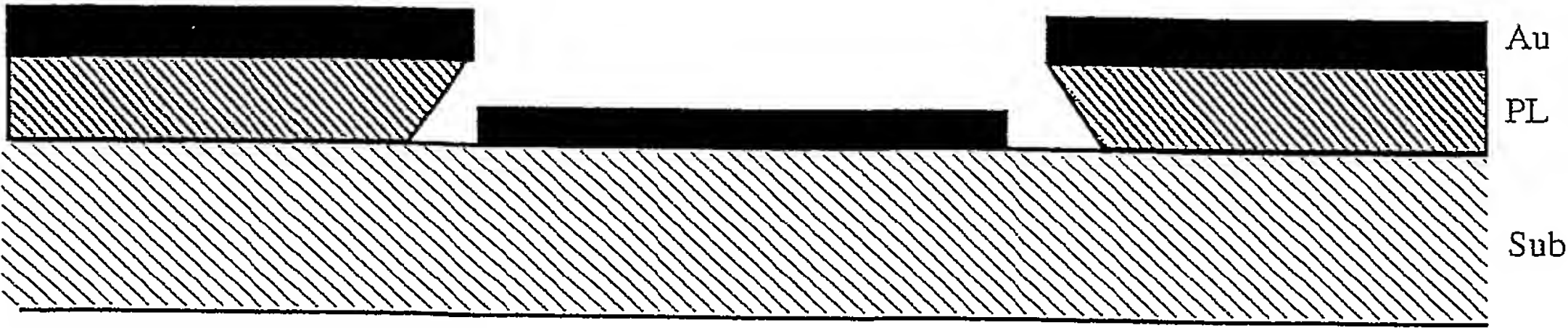
3. Verfahren zur Herstellung von elektronischen Bauelementen mit dicht aneinander grenzenden Elektroden auf einem lichtdurchlässigen Substrat dadurch gekennzeichnet, dass

- a) die Elektroden auf dem Substrat nach Anspruch 2 strukturiert werden,
- b) ein lichtdurchlässiger organischer Halbleiter und ein lichtdurchlässiger Isolator aufgeschleudert werden,
- c) ein zweiter Photolack auf die Oberfläche aufgebracht und von der Unterseite des Substrates photolithographiert wird,
- d) eine Metallschicht auf die erhaltene Oberfläche aufgedampft wird,
- e) der verbliebene Photolack mit der auf ihm liegenden Metallschicht entfernt wird, und
- f) das elektronische Bauelement durch Freiätzen der Anschlüsse fertiggestellt wird.

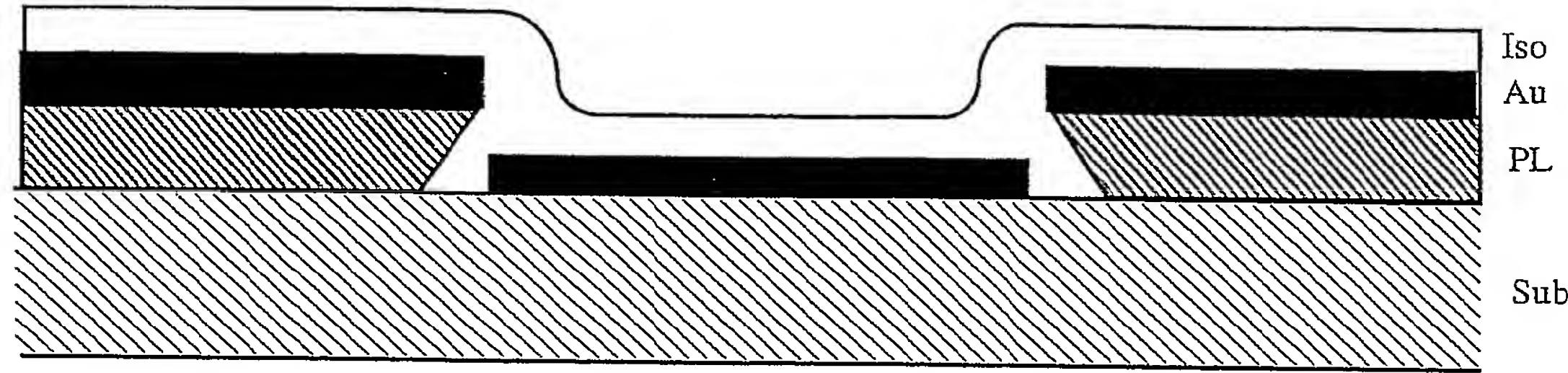
4. Verfahren zur Herstellung von elektronischen Bauelementen mit dicht aneinander grenzenden Elektroden auf einem Substrat dadurch gekennzeichnet, dass

- a) die Elektroden auf dem Substrat nach Anspruch 2 strukturiert werden,
- b) in das Substrat an den Stellen ohne Metall Löcher oder Gräben geätzt werden,
- c) eine zweite dünne Metallschicht abgeschieden wird,
- d) ein Isolator aufgeschleudert wird,
- e) der Isolator an der Oberseite des Substrates geätzt wird,
- f) ein organischer Halbleiter aufgeschleudert und die Oberfläche versiegelt wird, und
- g) mittels photolithographischem Prozess die vergrabenen Gates kontaktiert werden.

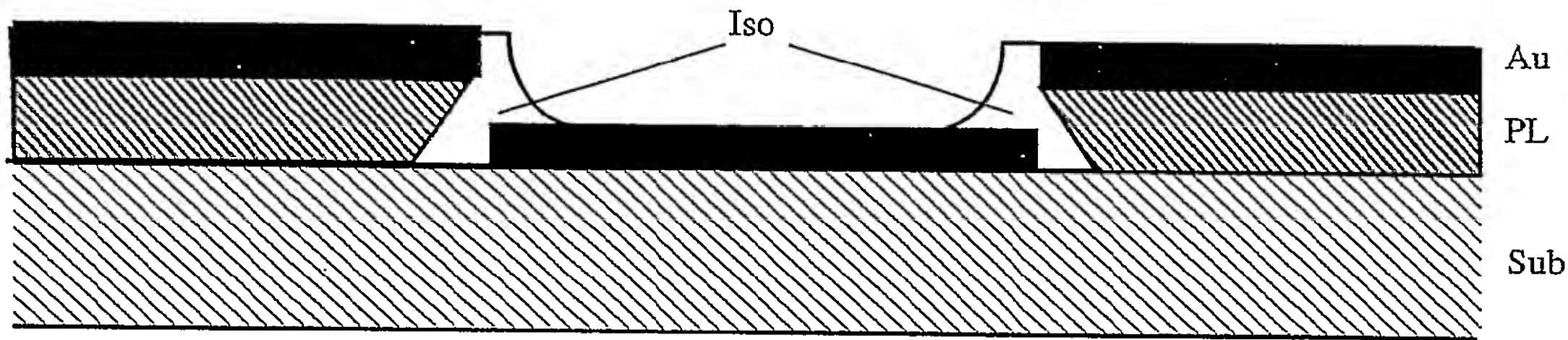
A



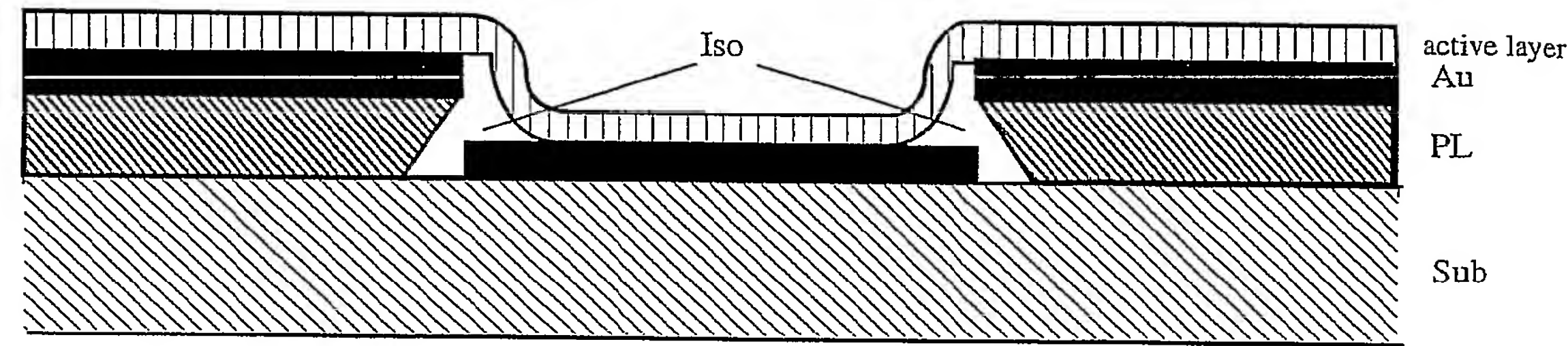
B



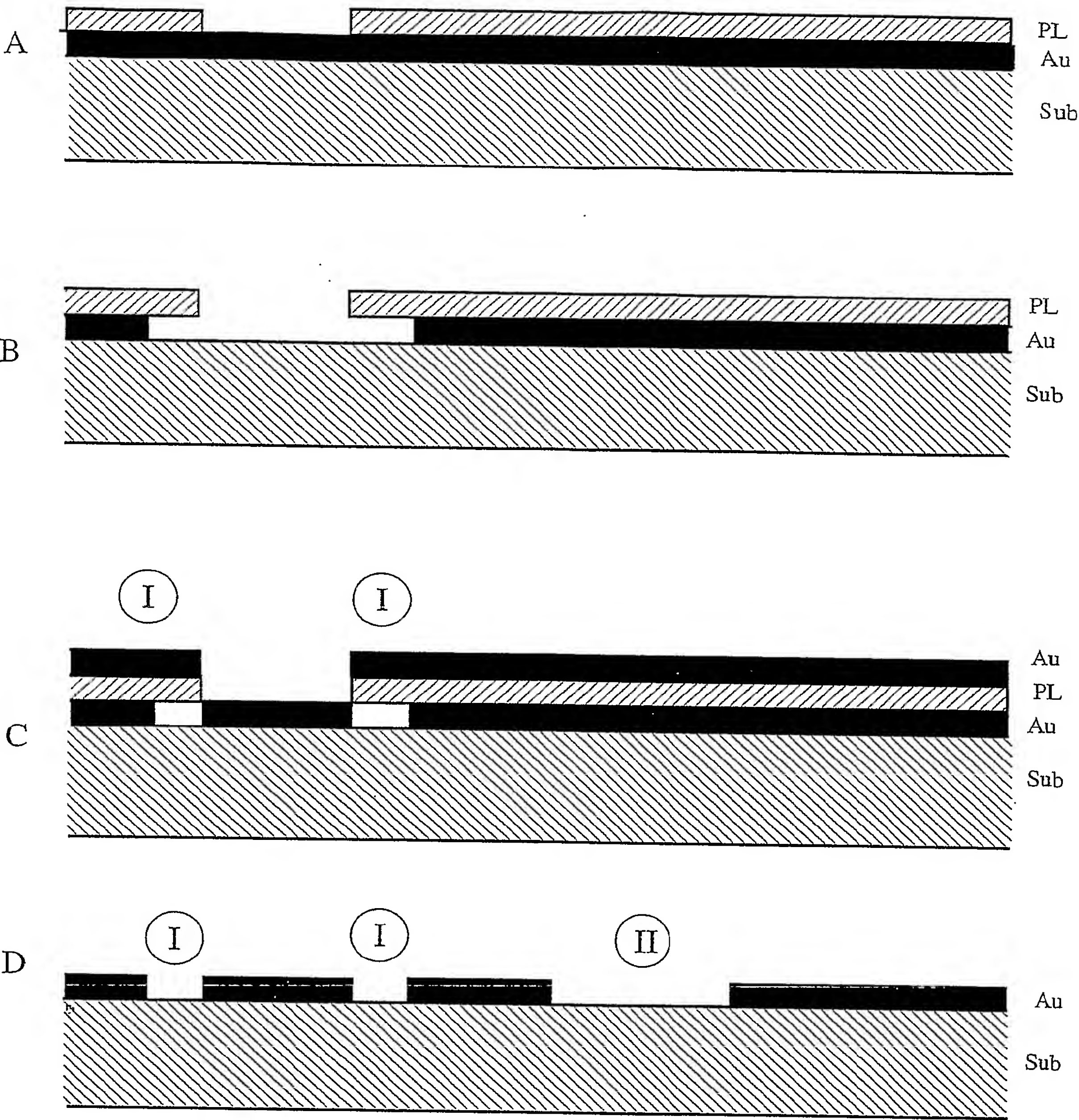
C



D

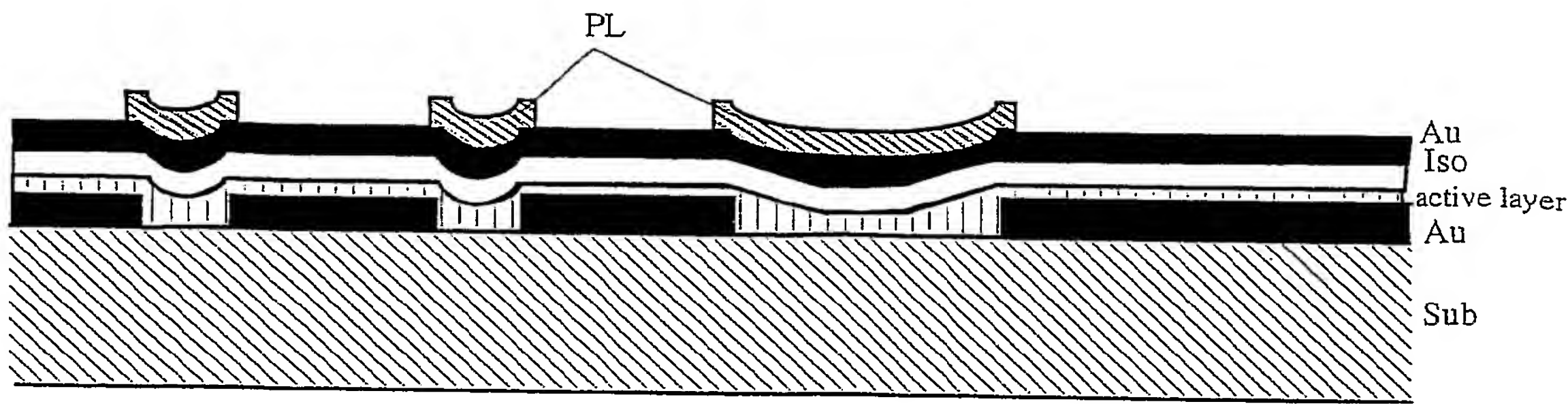


Figur 1

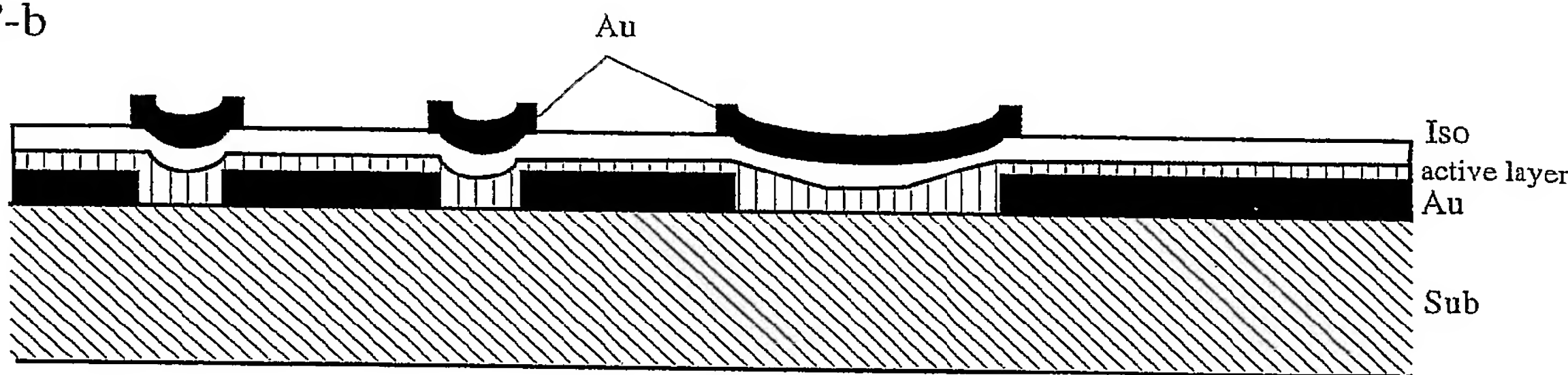


Figur 2

E-3-a

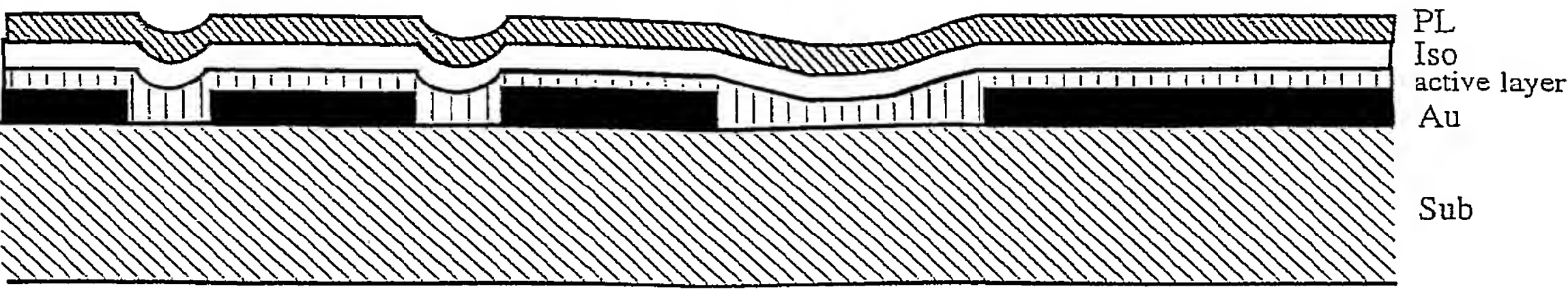


E-3-b

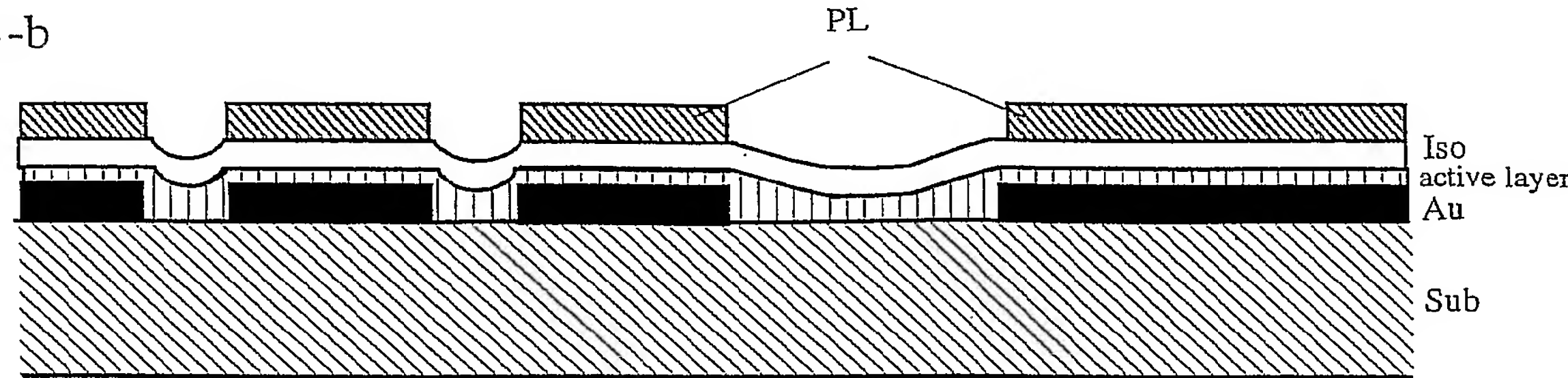


Figur 3

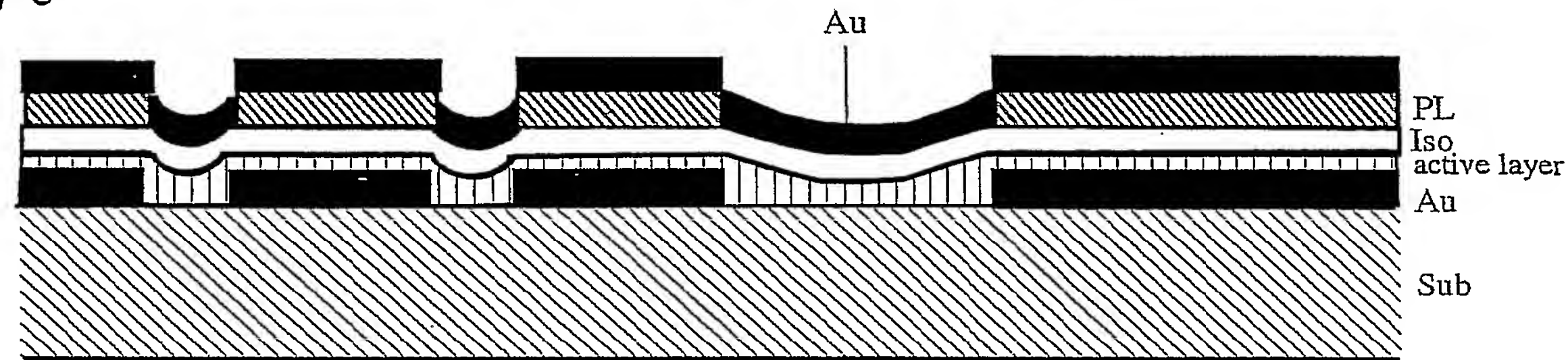
E-4-a



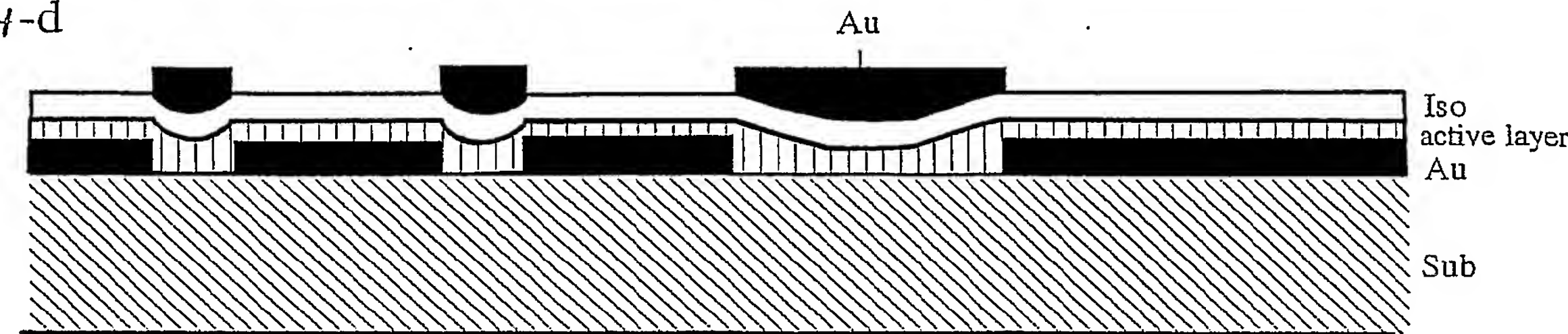
E-4-b



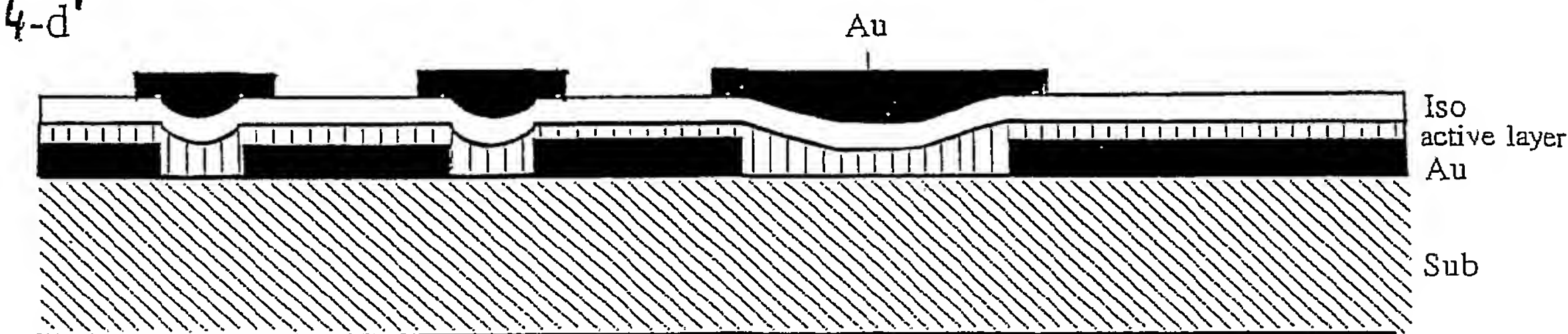
E-4-c



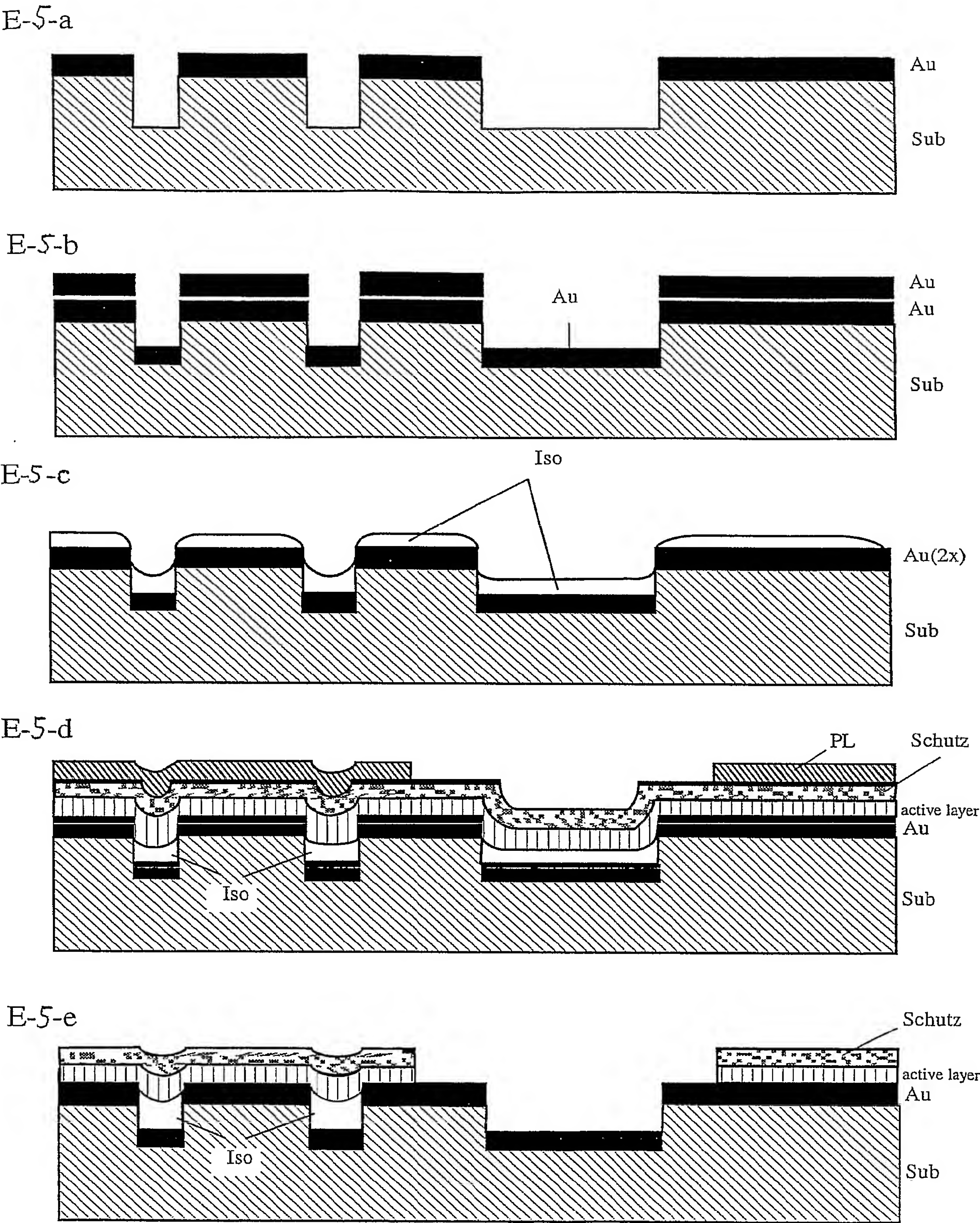
E-4-d



E-4-d'



Figur 4



Figur 5